

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 10 月 7 日 (07.10.2004)

PCT

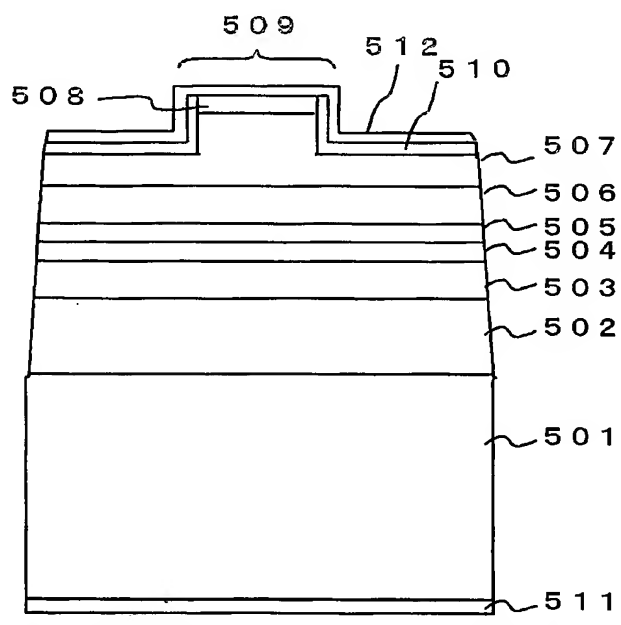
(10) 国際公開番号
WO 2004/086580 A1

- | | | |
|-----------------------------|--|---|
| (51) 国際特許分類 ⁷ : | H01S 5/22 | (72) 発明者; および |
| (21) 国際出願番号: | PCT/JP2004/002281 | (75) 発明者/出願人 (米国についてのみ): 笹岡 千秋 (SASAKA, Chiaki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). |
| (22) 国際出願日: | 2004 年 2 月 26 日 (26.02.2004) | (74) 代理人: 速水 進治 (HAYAMI, Shinji); 〒1500021 東京都渋谷区恵比寿西2-17-16 代官山 TKビル 1 階 Tokyo (JP). |
| (25) 国際出願の言語: | 日本語 | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | 特願2003-085132 2003 年 3 月 26 日 (26.03.2003) JP | |
| (71) 出願人 (米国を除く全ての指定国について): | 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP). | |

[続葉有]

(54) Title: SEMICONDUCTOR LASER AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体レーザおよびその製造方法



(57) Abstract: A semiconductor laser using a GaN-based, such as GaN or AlGaN, semiconductor substrate is disclosed wherein damage to a semiconductor layer at a separated surface of a chip can be suppressed. An n-type cladding layer (502) composed of AlGaN and a multilayer film which contains a multiple quantum well (MQW) layer (504) as an active layer are formed on a self-supporting GaN substrate (501). Lateral surfaces of the multilayer film which extends along the resonator direction are so inclined that the resonator width becomes smaller in the direction from the self-supporting substrate (501) to the upper layers sequentially formed thereon.

(57) 要約: GaNやAlGaN等のGaN系半導体基板を用いた半導体レーザにおいて、チップ分離面における半導体層の損傷を抑制する。自立GaN基板(501)上に、AlGaNからなるn型クラッド層(502)、

[続葉有]

WO 2004/086580 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

半導体レーザおよびその製造方法

5 技術分野

本発明は、G a N系半導体基板を用いた半導体レーザおよびその製造方法に関するものである。

背景技術

- 10 窒化ガリウムに代表されるG a N系半導体は、高効率の青紫色発光が得られることから、発光ダイオード(light emitting diode, LED)やレーザーダイオード(laser diode, LD)材料として注目を浴びている。なかでも LD は大容量光ディスク装置の光源として期待され、近年では書き込み用光源として高出力 LD の開発が勢力的に進められている。
- 15 G A N系半導体を用いたデバイスは、従来、サファイアや SiC 等の異種材料基板を利用して作製されてきた。すなわち、サファイア基板や SiC 基板上に 2 段階成長法を用いてウルツ鉱型G a N (0001)層を成長させ、これらのG a N層を基板として素子構造が作製されてきた。これは良質なバルクG a N単結晶基板が得られなかったためである。
- 20 ところが、これらの異種基板を用いた場合、基板とG a Nの格子定数の相違によりG a N層に高密度の転位が導入されることとなり、良質な結晶を得ることが困難であった。さらに、サファイア基板に関しては、熱伝導度が低いため素子の放熱特性が悪いこと、劈開面がG a Nとサファイアで異なり LD作製時にミラー形成が困難なこと、さらに絶縁体であるため裏面電極型素子
- 25 の作製が不可能なこと等、実用上、種々の課題を抱えている。

こうした状況下、近年、HVPE(hydride Vapor phase Epitaxy)を用いたG a N厚膜成長技術と選択成長を利用した転位低減化技術を組合せ、良質な低転位G a N基板を得る技術が検討されている。熱伝導特性、電気伝導特性の良

好なGaN基板を用いることにより、放熱特性の改善、裏面電極型半導体レーザーの実現等が期待され、将来的にGaN基板上での素子が主流になると考えられる。

こうしたGaN基板を利用して半導体素子を作製する製造方法を採用する
5 にあたっては、プロセス上、多くの課題を解決する必要がある。そうした課題の一つとして、基板上に半導体層を成長させた後、どのような方法でチップに分割するかが重要な技術的課題となっている。ウルツ鉱型の結晶構造を有するGaN基板は、ウエハ面で互いに直交する2方向の劈開面が存在せず、矩形状のチップを劈開のみで得ることができない。一方、GaN基板は非常に硬く、劈開方向以外の面で切断しようとするクラックが発生しやすい。
10 このため、チップ分離に際しクラックの発生が問題となる。

こうしたクラックの発生を抑制する技術が、特開2001-176823号公報に記載されている。この文献には、素子形成面に割り溝を形成し、基板裏面に当該割り溝よりも狭幅の割溝を形成し、これらの溝を利用して素子
15 分離を行うものである。同文献の段落0041～0042および第一図には、発光ダイオードのチップ分離工程が記載されている。以下、このプロセスについて図9を参照して説明する。この発光ダイオードは、C面(0001)
n型GaN基板100、n型GaNバッファ層101、n型AlGaNクラッド層102、活性層103、
20 p型AlGaNクラッド層104、p型GaNコンタクト層105、n型電極106、p型電極107、第Aの割り溝108、第Bの割り溝109から構成されている。第Aの割り溝108をドライエッチングにより形成した後、第Bの割り溝109はスクライバーにより形成する。スクライブ後、真空チャックを解放し、ウエハをテーブルから外し取り、ウエハのGaN基板側全面にn型電極106を形成する。その後、
25 結晶成長側の面(p型電極形成面)に粘着シートを貼付し、GaN基板側から軽くローラーで押し当てることにより、2インチφのウエハから350μm×250μm角のチップを多数得る。このような方法により、チップの切断面にクラック、チッピング等が発生しておらず、外形不良の無い素子を得

ることができるとされている。

発明の開示

上記の記載をはじめ同文献の実施形態の項には、主として発光ダイオード
5 への適用例が記載されている。一方、GaN系半導体基板を用いて半導体レーザを形成する場合、その素子構造中にクラックが発生するとその箇所が光の散乱中心となるため、内部損失の増大を招き素子特性が大きく劣化する。したがって、半導体レーザを作製する際には、電子素子や発光ダイオード等の他の素子を作製するプロセス以上に、チップ分離工程における半導体層の
10 損傷防止に関し留意する必要がある。

くわえて、著者らの詳細な実験の結果、GaN基板を用いた場合、サファイアおよびSiCを基板とした時と比べ、素子分離時にAlGaN層に発生するクラックが極めて多いことが明らかになった。

素子分離時のクラック発生メカニズムは次のように考えられる。窒化ガリウム系半導体レーザにおいては、GaNとInやAlを含む $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 混晶が積層され活性層として用いられる。LDでは、n型GaNコンタクト層、n型AlGaN光閉じ込め層、n型GaN光ガイド層、InGaN多重量子井戸活性層、p型GaN光ガイド層、p型AlGaN光閉じ込め層、p型GaNコンタクト層が順に積層される。AlNの格子定数はGaNに比べ小さく、
15 混晶であるAlGaNの格子定数もGaNよりも小さくなる。このためGaN基板上に積層されたAlGaN層には引張モードの内部応力が残存することとなる。

こうした内部応力が層中に残存すると、LD構造にクラック等の欠陥が入りやすくなり、素子の信頼性を低下させる要因となる。特に、ウエハから各
25 素子を切り出す素子分離工程においては、半導体層に局所的に大きな応力がかかり、クラックが発生しやすい。クラックは、引っ張り応力のかかっている層で発生するので、AlGaN層に内在する応力の大きいGaN基板上素子では、サファイアやSiC基板上の素子に比べクラックの発生率が高くなる

と考えられる。

以上のことから、特にGaN系半導体基板を用いた半導体レーザにおけるチップ分離工程では、チップ分離における半導体層の損傷の対策が重要な技術的課題となる。かかる技術的課題の解決にあたっては、発光ダイオードの

5 チップ分離とは異なる観点からの設計思想が必要とされる。特に、チップに分離の操作を行うときのみならず、分離後においても、損傷が起こりにくいチップ構造とすることが望まれる。たとえば、従来の半導体レーザでは、チップの最上層角部が欠損することがあった。これは、チップ分離工程において生じることもあるし、分離されたチップを搬送する際、チップを把持する

10 治具がチップの最上層角部に当たることにより生じることもある。

本発明は上記事情に鑑みなされたものであって、その目的とするところは、GaNやAlGaN等のGaN系半導体基板を用いた半導体レーザにおいて、チップ分離面における半導体層の損傷を抑制することにある。また本発明の別な目的は、チップ分離工程等においてチップ分離面にクラックが発生した

15 場合であっても、そのクラックが活性層に到達することを防止し、半導体レーザの信頼性を向上させることにある。

本発明によれば、GaN系半導体基板と、該GaN系半導体基板の上部に形成され、Alを含むGaN系半導体クラッド層およびその上部に形成された活性層を含む積層膜とを有する半導体レーザであって、当該半導体レーザ

20 の共振器方向に沿う前記積層膜の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて共振器幅が小となる方向に傾斜していることを特徴とする半導体レーザが提供される。

上記積層膜の側面は、ウエハからレーザ素子を分離する際の分離面となる。本発明の半導体レーザは、この分離面が傾斜した構成を有する。このため、

25 切断箇所における半導体層の損傷、特に、半導体層の最上層角部の欠損を抑制することができる。図11は、このことを説明する図である。基板面に対して垂直方向の分離面を有する従来の構造の半導体レーザでは、図11(a)に示すように、半導体層の最上層角部において欠損が発生しやすい。これに

対して本発明の構造によれば、図 1 1 (b) に示すよう半導体層の最上層角部が直角よりも大きい角度で形成されるため、こうした欠損の発生が効果的に抑制される。なお、本明細書における「共振器方向」とは、共振器の延在する方向であって、光出射方向と平行な方向をいう。「共振器幅」とは、「共振器方向」と垂直な平面におけるレーザ素子の横幅をいう。

本発明の半導体レーザにおいて、前記 G a N 系半導体基板上にマスクが形成され、該マスクの上部に前記積層膜が形成されており、共振器方向に沿う前記積層膜の側面は、前記マスクから選択成長した半導体層の成長面とすることができる。

この構成によれば、マスク開口部から選択成長した半導体層成長面が、そのままレーザ素子の分離面となる。このため、ウエハの切断にともなうクラックの発生を有効に抑制することができる。

また、本発明によれば、G a N 系半導体基板と、該 G a N 系半導体基板の上部に形成され、A l を含む G a N 系半導体クラッド層およびその上部に形成された活性層を含む積層膜と、を有する半導体レーザであって、前記積層膜中に、当該半導体レーザの共振器方向に延在する一对の溝部が形成され、前記活性層は前記一对の溝部に挟まれた領域に形成されていることを特徴とする半導体レーザが提供される。

この発明によれば、ウエハを切断してレーザ素子に分離する際、分離面でクラックが発生して基板水平方向に伝播した場合であっても、上記一对の溝部がクラックの伝播を阻止し、活性層を含む積層構造を高品質に維持することができる。

この半導体レーザにおいて、前記一对の溝部の底面にマスクを有し、前記溝部の側面は、前記マスクから選択成長した半導体層の成長面である構成とすることができる。このようにすれば、ドライエッチング等の加工を経ずに溝部を形成できるので、溝部周辺における半導体層へのダメージを大幅に低減することができる。

本発明の半導体レーザにおいて、前記一对の溝部は、前記 A l を含む G a

N系半導体クラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜している構成とすることができる。このような形状の溝部とすることにより、溝部周辺の半導体層中の歪みが低減され、素子の信頼性をより向上させることができる。

本発明の半導体レーザにおいて、当該半導体レーザの共振器端面が、GaN系半導体基板および前記積層膜の劈開面である構成とすることができる。この構成によれば、半導体レーザの側面全部について、クラックの発生を有効に抑制することができる。光出射面となる共振器端面は劈開面であるので、クラックの発生は顕著に抑制される。一方、共振器端面と垂直方向の側面、すなわち、半導体レーザの共振器方向に沿う側面においては、側面に傾斜を設ける、あるいは、一対の溝部を設ける、という構成により、損傷が発生することが抑制されている。

さらに本発明によれば、GaN系半導体からなるウエハ上に、Alを含むGaN系半導体クラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、前記バーを前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、を含み、前記溝部は前記Alを含むGaN系半導体クラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜することを特徴とする半導体レーザの製造方法が提供される。

上記製造方法によれば、ウエハから素子を分離する際、クラックの発生を抑制し、信頼性に優れた半導体レーザを得ることができる。

また本発明によれば、GaN系半導体からなるウエハ上に、一方向に延在する複数のストライプ状のマスクを形成する工程と、前記マスクの開口部から、前記マスクの直上に溝部を形成させながらAlを含むGaN系半導体ク

- ラッド層およびその上部に形成された活性層を含む積層膜を選択成長させる工程と、前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、前記バーを、前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、を含むことを特徴とする半導体レーザの製造方法が提供される。

この製造方法によれば、ウエハから素子を分離する際、クラックの発生を抑制することができる。また、ドライエッチング等の加工を経ずに溝部を形成できるので、溝部周辺における半導体層へのダメージを低減することができる。

- 10 上記製造方法において、バーの切断は溝部で行ってもよいし、溝部以外の領域で行っても良い。溝部以外の領域で切断する場合は、一対の溝部を含む半導体レーザチップに分離するようにすることが好ましい。

- 本発明によれば、GaN系半導体からなるウエハ上に、Alを含むGaN系半導体クラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、前記バーを、前記溝部以外の領域において前記溝部の延在方向と平行に切断し、一対の溝部を含む半導体レーザチップに分離する工程と、を含むことを特徴とする半導体レーザの製造方法が提供される。

- 20 この製造方法によれば、クラックの伝播を阻止する分離溝を形成する工程を含むため、信頼性の高い半導体レーザを得ることができる。一対の溝部は、前記Alを含むGaN系半導体クラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜する構成とすることができる。

本発明の半導体レーザの製造方法において、バーを形成する工程を劈開により行ってもよい。このようにすれば、クラックの発生がより顕著に抑制される。

本発明において、「GaN系半導体」とは、GaNおよびAlGaNを含み、好ましくはGaNを用いる。Alを含む構成とする場合は、クラッド層よりも低いアルミニウム組成とする。

5 本発明は、選択成長またはエッチングによりAlを含むGaN系半導体クラッド層のすべてまたは一部の除去されたクラック伝播防止溝を形成し、スクライブまたはダイシング時のクラック発生を抑制するものである。

本発明の第一の骨子は、GaN系半導体基板上に形成されたAlを含むGaN系半導体クラッド層の一部もしくは全てが除去された素子分離溝を形成し、上記溝部でスクライブやダイシング等により素子分離を行うものである。
10 先に述べたように、クラックは大きな引っ張り応力の内在するAlを含むGaN系半導体クラッド層に局所的な機械的応力をかけることにより発生する。Alを含むGaN系半導体クラッド層の除去された領域で素子分離を行えばクラックの発生を抑制することができる。

本発明の第二の骨子は、GaN系半導体基板上に形成されたAlを含むGaN系半導体クラッド層の一部もしくは全てが除去されたクラック伝播防止溝を素子領域の周囲に形成し、上記クラック防止溝の外側でスクライブまたはダイシングにより素子分離を行うことにある。クラックが発生しても素子の活性層領域まで伝播しなければ素子特性を劣化させることはない。素子分離時に発生したクラックの到達距離は数cmに達するケースもあるが、その駆
15 動力はAlを含むGaN系半導体クラッド層中に内在する応力に起因する。したがってAlを含むGaN系半導体クラッド層のない領域を設けておけば、クラックがその領域に達した時点でそれ以上伝播することはない。さらにクラック伝播防止溝の第二の効果として、寄生容量の低減がある。光ディスク用光源としてのLDでは、動作時に雑音低減のため通常高周波変調がかけられる。高周波での応答性を改善するためには、素子抵抗および寄生容量の低減
20 25 が重要となる。このうち寄生容量を下げるためには、実効的な素子面積の低減が最も有効である。窒化物系のLDの場合、一般的な素子サイズは長さ600 μm 、幅300 μm 程度であり、これが実効的な素子面積となる。一方クラック伝播防

止溝を LD の活性層ストライプの近傍に設けた場合、電氣的に有効な幅は活性層をはさむクラック防止溝間の距離となるため、 $10\mu\text{m}$ 程度とすることができる。これにより大幅に寄生容量を低減することが可能となる。

以上説明したように本発明によれば、半導体レーザにおいて、チップ分離
5 面における半導体層の損傷を効果的に抑制することができる。

図面の簡単な説明

上述した目的、およびその他の目的、特徴および利点は、以下に述べる好
適な実施の形態、およびそれに付随する以下の図面によってさらに明らかに
10 なる。

図 1 は、実施例に係る半導体レーザの断面図である。

図 2 は、実施例に係る半導体レーザの断面図である。

図 3 は、実施例に係る半導体レーザの断面図である。

図 4 (a) および図 4 (b) は、実施例に係る半導体レーザの工程断面図
15 である。

図 5 (a) および図 5 (b) は、実施例に係る半導体レーザの工程断面図
である。

図 6 (a) および図 6 (b) は、実施例に係る半導体レーザの工程断面図
である。

20 図 7 (a) および図 7 (b) は、実施例に係る半導体レーザの工程断面図
である。

図 8 は、実施例に係る半導体レーザの工程断面図である。

図 9 は、従来の半導体レーザの工程断面図である。

図 10 は、実施例に係る半導体レーザの断面図である。

25 図 11 (a) および図 11 (b) は、半導体レーザのチップ分離の際に生
じる損傷の様子を説明するための図である。

発明を実施するための最良の形態

以下、本発明の好ましい実施形態について説明する。これらの半導体レーザにおいて、半導体レーザの出射面は、いずれもGaN基板およびGaN系半導体層の劈開面、すなわち(1-100)面となっている。

図1は、本発明の一実施形態に係る半導体レーザの断面図である。自立GaN基板501上に、AlGaNからなるn型クラッド層502、n型光閉じ込め層503、活性層となる多重量子井戸(MQW)層504、キャップ層505、p型光閉じ込め層506、p型Al_{0.1}Ga_{0.9}Nクラッド層507、p型コンタクト層508、SiO₂絶縁膜510、p電極512からなる積層膜が形成されている。この積層膜の上部にはメサ部509が設けられている。上記積層膜の共振器方向に沿う側面は、自立GaN基板501から積層膜方向に向けて共振器幅が小となる方向に傾斜している。図示した半導体レーザでは、基板面に対して約60度の角度で傾斜している。この傾斜をもった積層膜の側面は、チップ分離時におけるウエハ切断面となる。このように傾斜をもった構造としているため、チップ分離面の損傷が抑制される。特に、図中、p電極512の両端角部の損傷が有効に抑制される。

図2は、本発明の他の実施形態に係る半導体レーザの断面図である。LD構造は図1と共通である。積層膜中に、自立GaN基板501に到達する一対の素子分離溝514が形成されている。素子分離溝514の側面には、AlGaNからなるn型クラッド層502が露出している。素子分離溝514の側面は、自立GaN基板501から積層膜方向に向けて共振器幅が小となる方向に傾斜している。活性層となる多重量子井戸(MQW)層504を含むLD構造は、一対の素子分離溝514に挟まれた領域に形成されている。すでに述べたように自立GaN基板501上のAlGaNからなるn型クラッド層502は、引張モードの内部応力を有し、クラックの発生、伝播を引き起こしやすい。図示した半導体レーザでは、このAlGaNからなるn型クラッド層502を分断するように素子分離溝514が形成されているため、チップ分離時にLD構造が損傷することを抑制できる上、半導体レーザ使用時に積層膜の共振器方向に沿う側面から入ったクラックの伝播を阻止し、L

D構造の損傷を抑制することができる。さらに、素子容量を低減でき、レーザ特性を向上させることができる。

図3は、マスク成長により溝部を形成した例である。素子構造は図1、図2の半導体レーザと共通である。積層膜中に、自立GaN基板601に到達する一対の素子分離溝614が形成されている。素子分離溝614の側面には、AlGaNからなるn型クラッド層602が露出している。素子分離溝614の側面は、自立GaN基板601から積層方向に向けて共振器幅が小となる方向に傾斜している。活性層となる多重量子井戸(MQW)層604を含むLD構造は、一対の素子分離溝614に挟まれた領域に形成されている。素子分離溝614の側面は、マスク613から選択成長した半導体層の成長面であり、基板面に対して約60度の傾斜を有している。このような構造を有しているため、図2の半導体レーザで述べた効果に加え、溝形成工程において積層膜中に損傷が発生したり内部歪みが生じたりすることを抑制できる。

15 (実施例)

実施例1

(素子の作製)

本実施例では、図1、図2および図10に示す断面構造の半導体レーザを作製し、評価を行った。以下、図1の半導体レーザをタイプA、図2の半導体レーザをタイプB、図10の半導体レーザをタイプCと称する。

以下、これらの半導体レーザを作製した手順について説明する。基板としてFIELO法(A.Usui 他、Jpn. J. Appl. Phys. 36(1997)L899)により250 μ m成長させたn型GaN(0001)基板を用いた。上記基板は、HVPE成長後の基板冷却過程でサファイアとGaNの熱膨張係数の違いのためGaN層の剥離が生じ、
25 GaN厚さ200 μ mの自立GaN基板となっている。素子構造の作製には300hPaの減圧MOVPE装置を用いた。キャリアガスには水素と窒素の混合ガスを用い、Ga, Al, Inソースとしてそれぞれトリメチルガリウム(TMG)、トリメチルアルミニウム(TMAl)、トリメチルインジウム(TMI)、n型ドーパントにシラ

ン(SiH_4)、p 型ドーパントにビスシクロペンタジエニルマグネシウム(Cp_2Mg)を用いた。

本実施例では、まず図 4 (a) に示す LD 構造を作製した。上記自立 GaN 基板 501 上に、

5 Si ドープ n 型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ (Si 濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ $1.2 \mu\text{m}$) からなる n 型クラッド層 502、

Si ドープ n 型 GaN (Si 濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$) からなる n 型光閉じ込め層 503、

10 $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ (厚さ 3nm) 井戸層と Si ドープ $\text{In}_{0.01}\text{Ga}_{0.99}\text{N}$ (Si 濃度 $5 \times 10^{18} \text{cm}^{-3}$ 、厚さ 4nm) バリア層からなる 3 周期活性層となる多重量子井戸 (MQW) 層 504、

Mg ドープ p 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなるキャップ層 505、

Mg ドープ p 型 GaN (Mg 濃度 $2 \times 10^{19} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$) からなる p 型光閉じ込め層 506、

厚さ $0.5 \mu\text{m}$ の p 型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ クラッド層 (Mg 濃度 $2 \times 10^{19} \text{cm}^{-3}$) 507、

15 Mg ドープ p 型 GaN (Mg 濃度 $2 \times 10^{20} \text{cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$) からなる p 型コンタクト層 508

を順次成長させて、図 4 (a) の LD 構造を形成した。

その後、ドライエッチングにより p 型クラッド層 507 および p 型コンタクト層 508 を含んだメサ部 509 を作製し、活性層ストライプが $300 \mu\text{m}$ ごとに形成されたリッジ型 LD を得た (図 4 (b))。ここではレジストマスクを用いてドライエッチングを行ったが、 SiO_2 などの誘電体スクを用いてもよい。

つづいて、以下のようにしてタイプ A、B、C の 3 種類の半導体レーザを作製した。タイプ A の半導体レーザは、図 4 (b) の状態からメサ部 509 の両脇の LD 構造を、n- AlGaInN クラッド層 502 までドライエッチングにより溝状に除去し、自立 GaN 基板 501 に到達するストライプ状の一对の素子分離溝 513 を形成した。また、タイプ B の半導体レーザでは、メサ部 509 の両脇の LD 構造を、n- AlGaInN クラッド層 502 までドライエッチングにより溝状に除去し、自立 GaN 基板 501 に到達するストライプ状の一对の素子

分離溝 514 を形成した。一方、タイプCの半導体レーザでは、溝を形成することなく次工程を実施した。

ここで、タイプA、タイプBの分離溝形成工程について説明する。まず図4 (b) の段階で、ストライプ状の開口を有するレジストマスクを形成する
5 (不図示)。次いでこのレジストマスクを用いてドライエッチングを行い、自立GaN基板501に到達する素子分離溝513または素子分離溝514を形成した。図5はこの段階の断面構造を示す図であり、図5 (a) はタイプA、図5 (b) はタイプBの断面を示している。メサ部はいずれも $10\mu\text{m}$ 幅であり、一対の素子分離溝間の間隔は、タイプAでは $300\mu\text{m}$ 、タイプBでは $50\mu\text{m}$
10 とした。溝の延在する方向は、 $\langle 1-100 \rangle$ とした。

このときのドライエッチングは、ICPプラズマによるドライエッチング装置を用い、ドライエッチング条件は、タイプA、Bともに以下のとおりとした。

RFパワー： 600W

15 バイアスRFパワー： 50W

エッチングガス： Cl_2 20sccm

エッチング圧力： 1.0Pa

エッチング速度： $0.5\mu\text{m}/\text{min}$

エッチングマスク： SiO_2

20 エッチングに際しては、シリコン酸化膜からなるマスクを用いた。このマスクは、膜厚 150nm と通常よりも薄い厚みとし、さらに、マスクの延在方向と垂直な断面を略台形状とし、開口部側面が斜面となるようにした。こうすることにより、エッチング過程でマスク開口幅が徐々に大きくなり、溝部の側面が、自立GaN基板501からLD構造の上部に向けて、溝部間の
25 幅が小となる方向に傾斜した形状の構造体を得られる。本実施例では、タイプA、タイプBともに、基板面に対して対して約 60° の傾斜面が溝部側面に形成された。なお、上記した断面台形状のマスクは、マスクを薄くするとともに、バッファードフッ酸を用いたマスクのパターニングの際、オーバー

エッチングを少なくとることが重要となる。

この後、 SiO_2 絶縁膜 510 を堆積し、メサ部分の頭出しを露光技術により行い、リッジ構造を形成した。n 型基板裏には Ti/Al からなる n 電極 511 を形成し、p コンタクト上には、 Ni/Au からなる p 電極 512 を形成した。これらの素子を活性層ストライプに垂直な方向、すなわち、素子分離溝 513、514 に垂直な $(1-100)$ 面で劈開し、幅 $600\mu\text{m}$ のバー状とし、片面に $\text{TiO}_2/\text{SiO}_2$ 膜による高反射コーティング(反射率 95%)を施した。この後スクライブにより素子分離をおこない半導体レーザチップを作製した。スクライブは、タイプ A の素子については素子分離溝で、タイプ B、C の素子については隣り合う活性層ストライプの中央で、それぞれ行った。

以上の素子分離工程について図 8 を参照して説明する。まず、メサ部 509 および分離溝(不図示)の延在方向と直交する方向に沿ってウエハ 800 を劈開面 802 で劈開し、レーザーバーを形成する(図 8 (a))。次いでそれぞれのバーを、メサ部 509 および分離溝(不図示)の延在方向のスクライブ線 806 に沿ってスクライブし、半導体レーザチップに分離する(図 8 (b)、(c))。こうして図 1、図 2 および図 10 に示す断面構造の半導体レーザを作製した。

(評価)

作製した LD の発振しきい電流密度の典型値はタイプ A、B、C の順に、 2.5 kA cm^{-2} 、 2.4 kA cm^{-2} 、 3.0 kA cm^{-2} であり、スロープ効率はそれぞれ、 1.3 W/A/facet 、 1.3 W/A/facet 、 0.9 W/A/facet であった。

特性測定後、p 電極を王水にて除去し、光学顕微鏡観察をおこなった結果、タイプ C の素子には平均 4 本のストライプを横切るクラックが観察された。これに対し、タイプ A の素子では観察した全ての素子についてクラックは観察されなかった。タイプ B の素子は、スクライブ部から発生するクラックがタイプ C の素子と同程度観察されたが、すべてクラック防止溝で伝播が抑制され、活性層を横切るクラックは観察されなかった。タイプ C の素子のしき

い電流密度、スロープ効率などの特性が他と比較して悪いのは、クラックにより内部損失が増加したためと考えられる。

また、それぞれの素子の容量を測定したところ、タイプA, B, Cについてそれぞれ、20 pF、12 pF、21 pFであった。これによりクラック
5 伝播防止溝による実効的な素子面積低減により素子容量を低減できることが確かめられた。

本実施例におけるタイプAの半導体レーザは、自立GaN基板 501 に到達する素子分離溝 513 においてチップに分離されている。この素子分離溝 513 によりAlGaNクラッド層が除去された領域が形成された箇所
10 素子分離が行われることとなり、クラックを効果的に抑制することができる。また、この半導体レーザは、上記のように素子分離溝 513 が斜面を有するため、以下の効果を奏する。

(i) 従来、チップ分離工程やチップを搬送時に発生していた半導体レーザの最上層角部の欠損を効果的に抑制することができる。

15 (ii) p型カバー電極上に金線をボンディングする際、カバー電極の段切れを防止し、良好な通電状態を安定的に実現することができる。

本実施例におけるタイプBの半導体レーザは、自立GaN基板 501 に到達する一対の素子分離溝 514 を有する。この素子分離溝 514 により挟まれた領域に活性層が形成されているため、活性層を含むLD構造にクラックが伝播
20 することがなく、高品質の半導体レーザが実現される。また、本実施例ではこの素子分離溝 514 の側面が傾斜した構造となっているため、半導体層中の残留歪みが低減されるとともにクラック伝播防止効果がより顕著に発揮される。特に溝側面を斜面とすることにより、チップの周囲部等の歪み集中箇所において歪みを分散させる効果が生じる。

25 実施例 2

本実施例では、選択成長による素子分離溝を形成し、素子を作製した例を示す。

本実施例に係る半導体レーザは、図3に示す構造を有する。以下、この半

導体レーザの作製工程について図 6 (a) ~ 図 7 (d) を参照して説明する。
まず、実施例 1 で用いたものと同様の自立 GaN 基板 601 に SiO₂ 絶縁膜を
300nm 堆積し、露光技術により幅 20 μm の SiO₂ からなるストライプ状のマ
スク 613 を 300 μm ピッチで形成した (図 6 (a))。マスク 613 は、
5 100 > 方向に延在するように形成した。

この後、Si ドープ n 型 Al_{0.1}Ga_{0.9}N (Si 濃度 4×10¹⁷cm⁻³、厚さ 1.2 μm) から
なる n 型クラッド層 602、Si ドープ n 型 GaN (Si 濃度 4×10¹⁷cm⁻³、厚さ 0.1 μ
m) からなる n 型光閉じ込め層 603、In_{0.15}Ga_{0.85}N (厚さ 3nm) 井戸層と Si ドープ
In_{0.01}Ga_{0.99}N (Si 濃度 5×10¹⁸cm⁻³、厚さ 4nm) バリア層からなる活性層となる 3
10 周期多重量子井戸 (MQW) 層 604、Mg ドープ p 型 Al_{0.2}Ga_{0.8}N からなるキャップ
層 605、Mg ドープ p 型 GaN (Mg 濃度 2×10¹⁹cm⁻³、厚さ 0.1 μm) からなる p
型光閉じ込め層 606、厚さ 0.5 μm の p 型 Al_{0.1}Ga_{0.9}N クラッド層 (Mg 濃度
2×10¹⁹cm⁻³) 607、Mg ドープ p 型 GaN (Mg 濃度 2×10²⁰cm⁻³、厚さ 0.1 μm) から
なる p 型コンタクト層 608 を順次成長させて、LD 構造の積層膜を形成した (図
15 6 (b))。この成長により、マスク 613 上部に、<1-100> 方向に延
在するストライプ状の溝が形成される。なお、選択成長のための SiO₂ からな
るマスク 613 には Al GaN 層成長時に多結晶が堆積するが、その膜厚は
薄いためプロセスに影響を与えない。

LD 構造形成後、実施例 1 で示した素子と同様の工程によりリッジ型 LD を
20 作製した。ドライエッチングにより p 型クラッド層 607 および p 型コンタク
ト層 608 を含んだメサ部 609 を形成した (図 7 (c))。つづいて SiO₂ 絶縁膜
610 を堆積してメサ部分の頭出しを露光技術により行い、リッジ構造を形成し
た。n 型基板裏には Ti/Al からなる n 電極 611 を形成し、p コンタクト上
には、Ni/Au からなる p 電極 612 を形成した。これらの素子を活性層ストライ
25 プに垂直な方向に劈開し、幅 600 μm の LD バーを形成後、片面に TiO₂/SiO₂
膜による高反射コーティング (反射率 95%) を施した。この後 SiO₂ ストライプ
601 部をスクライプし、素子分離を行った。図 7 (d) はこの状態を示す図で
ある。以上の工程により、図 3 に示す半導体レーザが得られた。

作製した LD の発振しきい電流密度の典型値は 2.5kAcm^{-2} 、スロープ効率は 1.3W/A/facet であった。p 電極を王水で除去後、光学顕微鏡観察を行ったところクラックの発生は見られなかった。

5 以上、本発明を実施例に基づいて説明した。この実施例は例示であり、様々な変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

たとえば上記実施例では GaN 基板を用いたが、n 型クラッド層よりもアルミニウム組成の低い AlGaIn 基板を用いることもできる。この場合も、格子定数の大小関係から、上記実施例と同様、クラックの発生や伝播が問題
10 となるが、本発明によりかかる課題を有効に解決することができる。

また、上記実施例ではリッジ型の半導体レーザを例に挙げて説明したが、これに限られず、様々な構造の半導体レーザに適用できることはいうまでもない。

また、p 電極の形成は、光出射面以外の積層膜側面に絶縁膜を介して形成
15 してもよい。

請 求 の 範 囲

1. G a N系半導体基板と、該G a N系半導体基板の上部に形成され、A
1を含むG a N系半導体クラッド層およびその上部に形成された活性層を含
5 む積層膜とを有する半導体レーザであって、

当該半導体レーザの共振器方向に沿う前記積層膜の側面が、前記G a N系
半導体基板側から前記積層膜の上部に向けて共振器幅が小となる方向に傾斜
していることを特徴とする半導体レーザ。

2. 請求の範囲1に記載の半導体レーザにおいて、

- 10 前記G a N系半導体基板上にマスクが形成され、該マスクの上部に前記積
層膜が形成されており、共振器方向に沿う前記積層膜の側面は、前記マスク
から選択成長した半導体層の成長面であることを特徴とする半導体レーザ。

3. 請求の範囲1に記載の半導体レーザにおいて、

- 15 当該半導体レーザの共振器端面が、G a N系半導体基板および前記積層膜
の劈開面であることを特徴とする半導体レーザ。

4. G a N系半導体基板と、該G a N系半導体基板の上部に形成され、A
1を含むG a N系半導体クラッド層およびその上部に形成された活性層を含
む積層膜と、を有する半導体レーザであって、

- 20 前記積層膜中に、当該半導体レーザの共振器方向に延在する一对の溝部が
形成され、

前記活性層は前記一对の溝部に挟まれた領域に形成されていることを特徴
とする半導体レーザ。

5. 請求の範囲4に記載の半導体レーザにおいて、

- 25 前記一对の溝部の底面にマスクを有し、前記溝部の側面は、前記マスクか
ら選択成長した半導体層の成長面であることを特徴とする半導体レーザ。

6. 請求の範囲4に記載の半導体レーザにおいて、

前記一对の溝部は、前記A 1を含むG a N系半導体クラッド層の露出面を
含み、溝部の側面が、前記G a N系半導体基板側から前記積層膜の上部に向

けて溝部間の幅が小となる方向に傾斜していることを特徴とする半導体レーザ。

7. GaN系半導体からなるウエハ上に、Alを含むGaN系半導体クラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、

5 前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、

前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、

10 前記バーを前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、
を含み、

前記溝部は前記Alを含むGaN系半導体クラッド層の露出面を含み、溝部の側面が、前記GaN系半導体基板側から前記積層膜の上部に向けて溝部間の幅が小となる方向に傾斜することを特徴とする半導体レーザの製造方法。

15 8. 請求の範囲7に記載の半導体レーザの製造方法において、

前記バーを前記溝部で切断し、前記半導体レーザチップに分離することを特徴とする半導体レーザの製造方法。

9. 請求の範囲7に記載の半導体レーザの製造方法において、

20 前記バーを前記溝部以外の領域において切断し、一对の溝部を含む半導体レーザチップに分離することを特徴とする半導体レーザの製造方法。

10. 請求の範囲7に記載の半導体レーザの製造方法において、

バーを形成する前記工程を劈開により行うことを特徴とする半導体レーザの製造方法。

25 11. GaN系半導体からなるウエハ上に、一方向に延在する複数のストライプ状のマスクを形成する工程と、

前記マスクの開口部から、前記マスクの直上に溝部を形成させながらAlを含むGaN系半導体クラッド層およびその上部に形成された活性層を含む積層膜を選択成長させる工程と、

前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、

前記バーを、前記溝部の延在方向と平行に切断し、半導体レーザチップに分離する工程と、

5 を含むことを特徴とする半導体レーザの製造方法。

12. Ga N系半導体からなるウエハ上に、Alを含むGa N系半導体クラッド層およびその上部に形成された活性層を含む積層膜を形成する工程と、

前記積層膜を選択的に除去し、前記積層膜中に当該半導体レーザの共振器方向に延在する複数の溝部を形成する工程と、

10 前記ウエハを前記溝部の延在方向と直交する方向に沿って切断し、バーを形成する工程と、

前記バーを、前記溝部以外の領域において前記溝部の延在方向と平行に切断し、一対の溝部を含む半導体レーザチップに分離する工程と、

を含むことを特徴とする半導体レーザの製造方法。

Fig.1

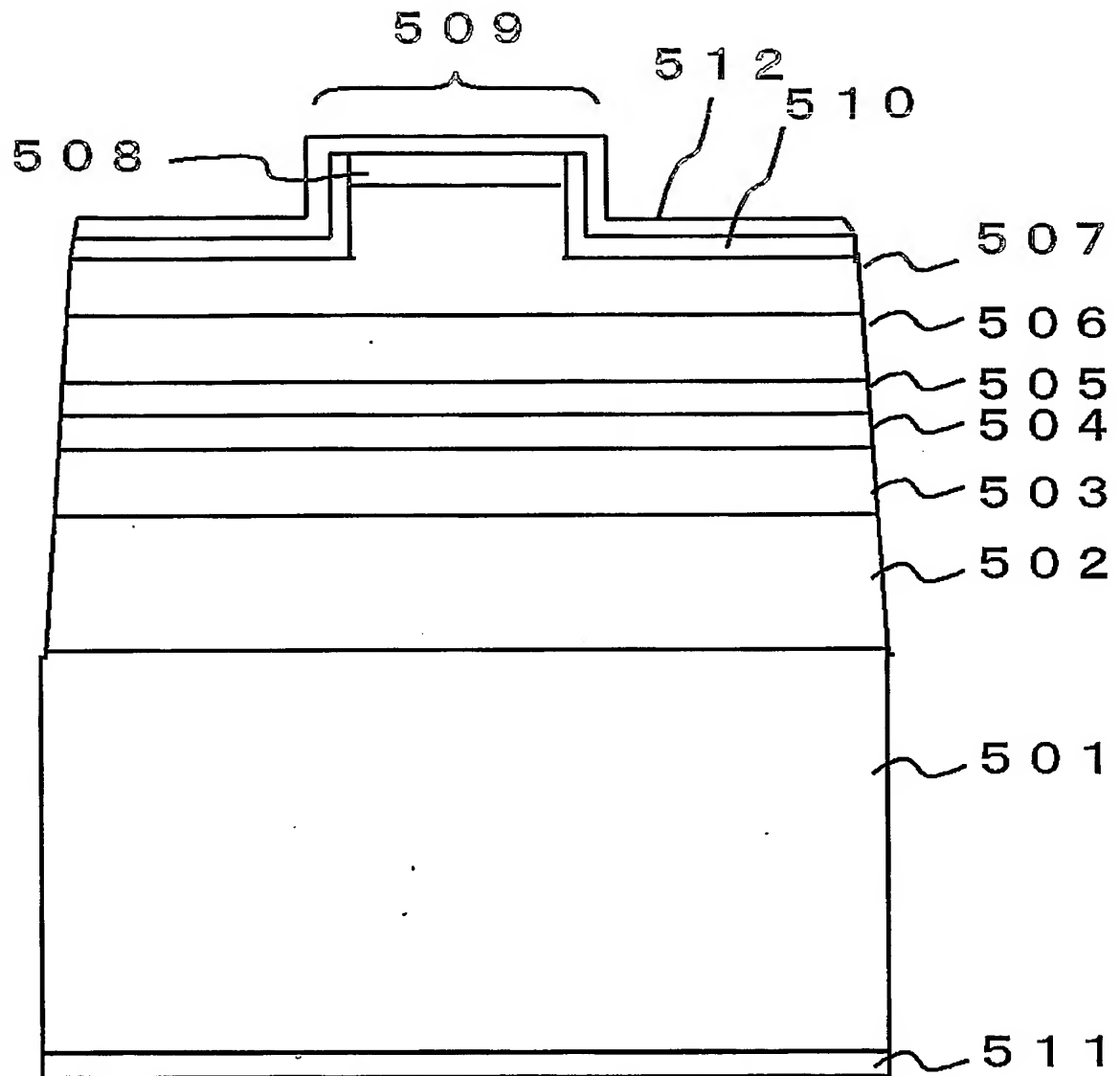


Fig.2

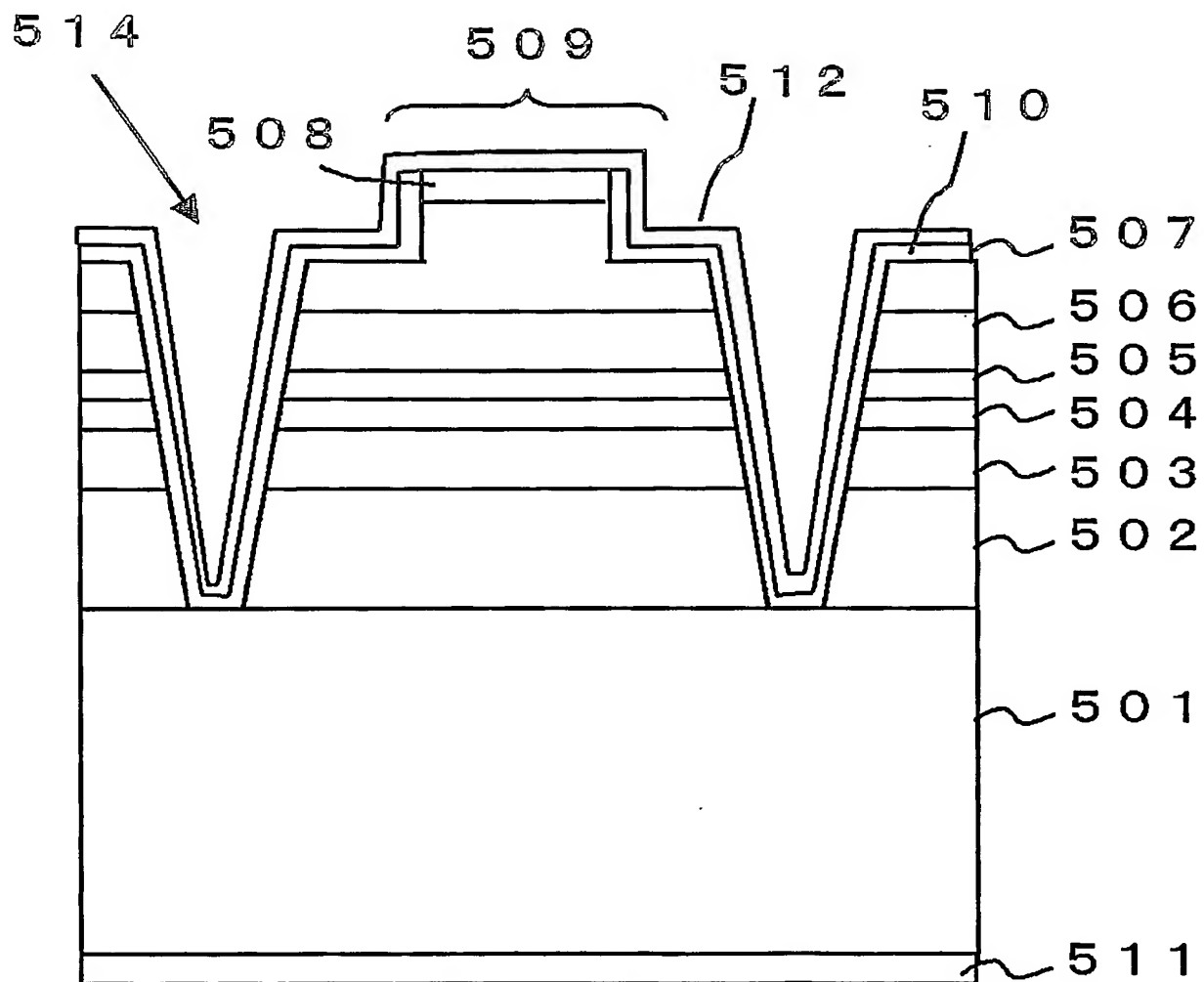


Fig.3

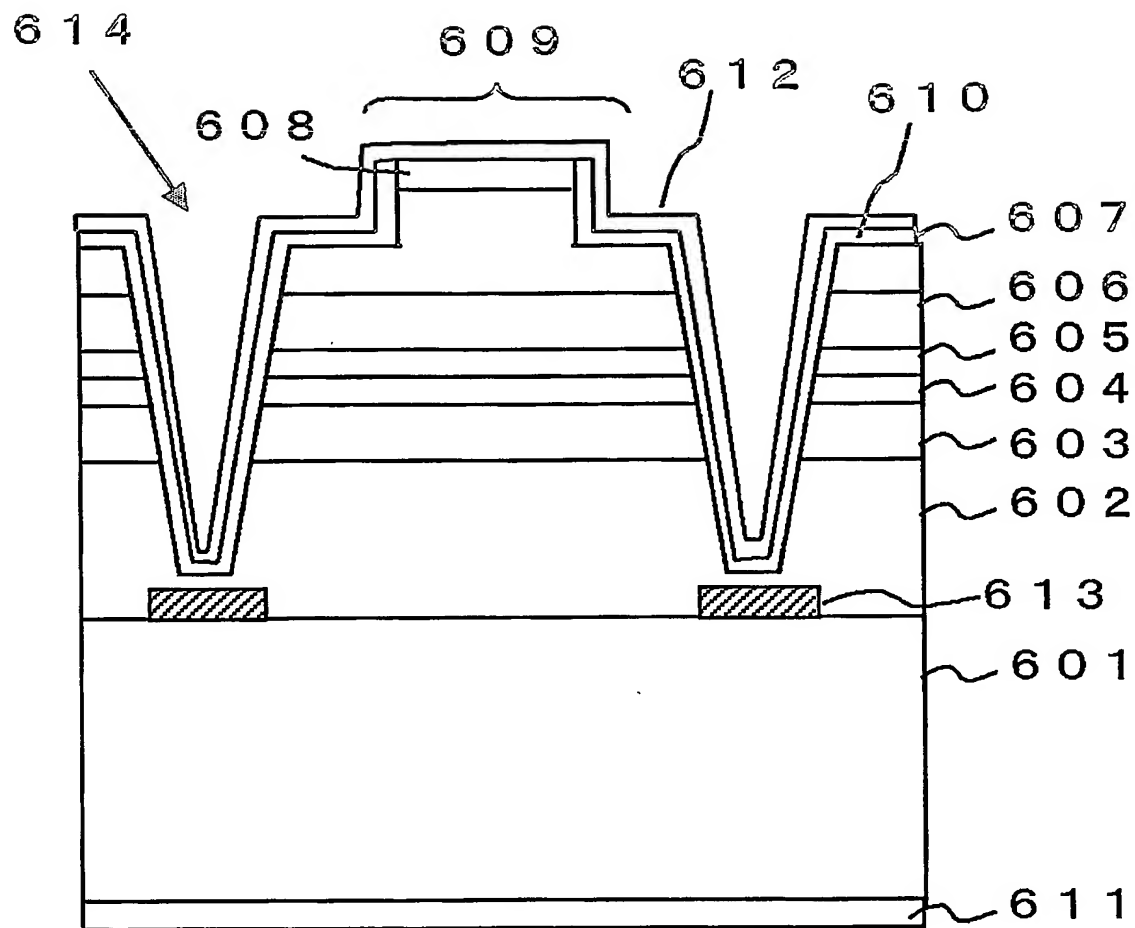


Fig.4

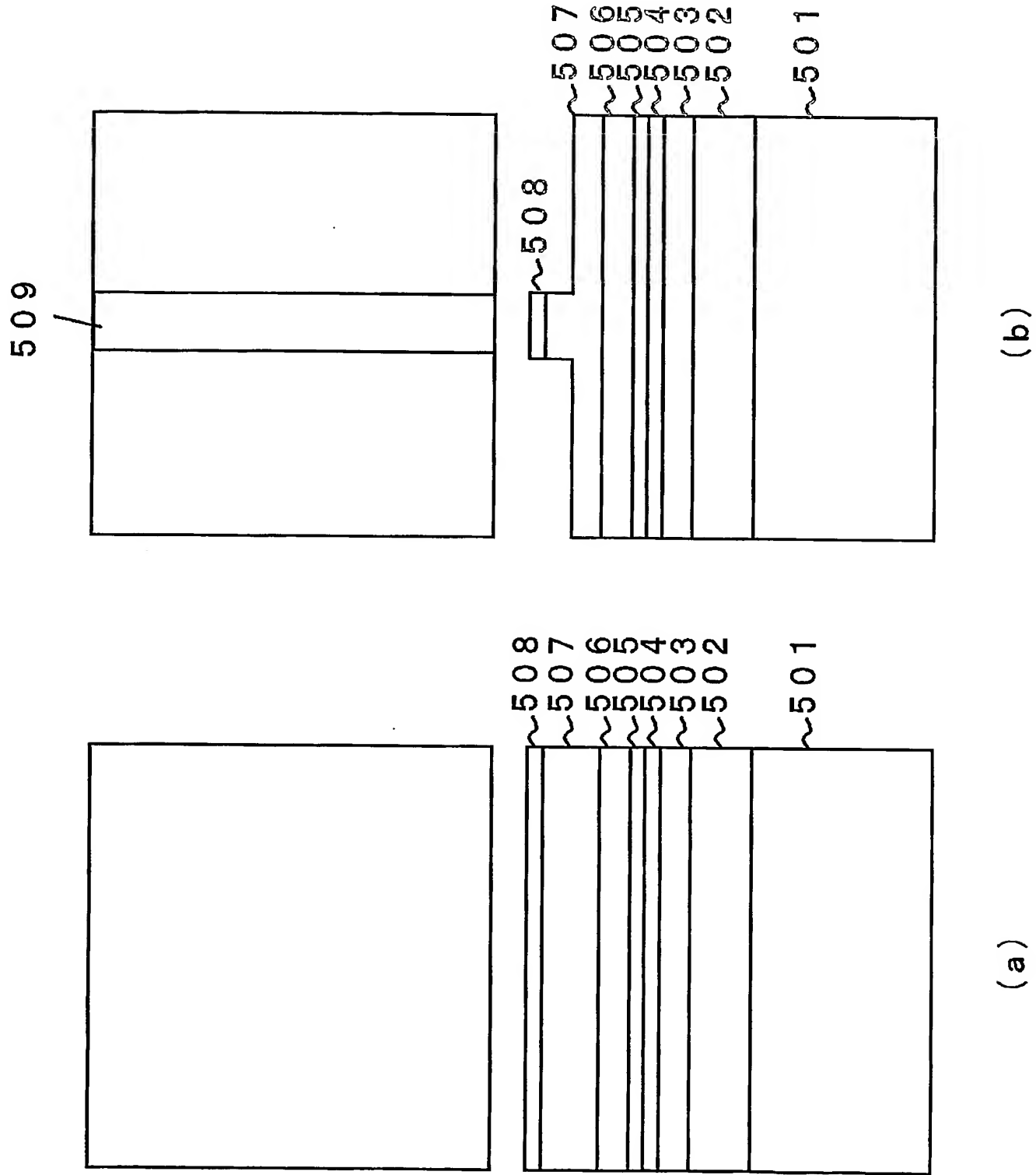


Fig.5

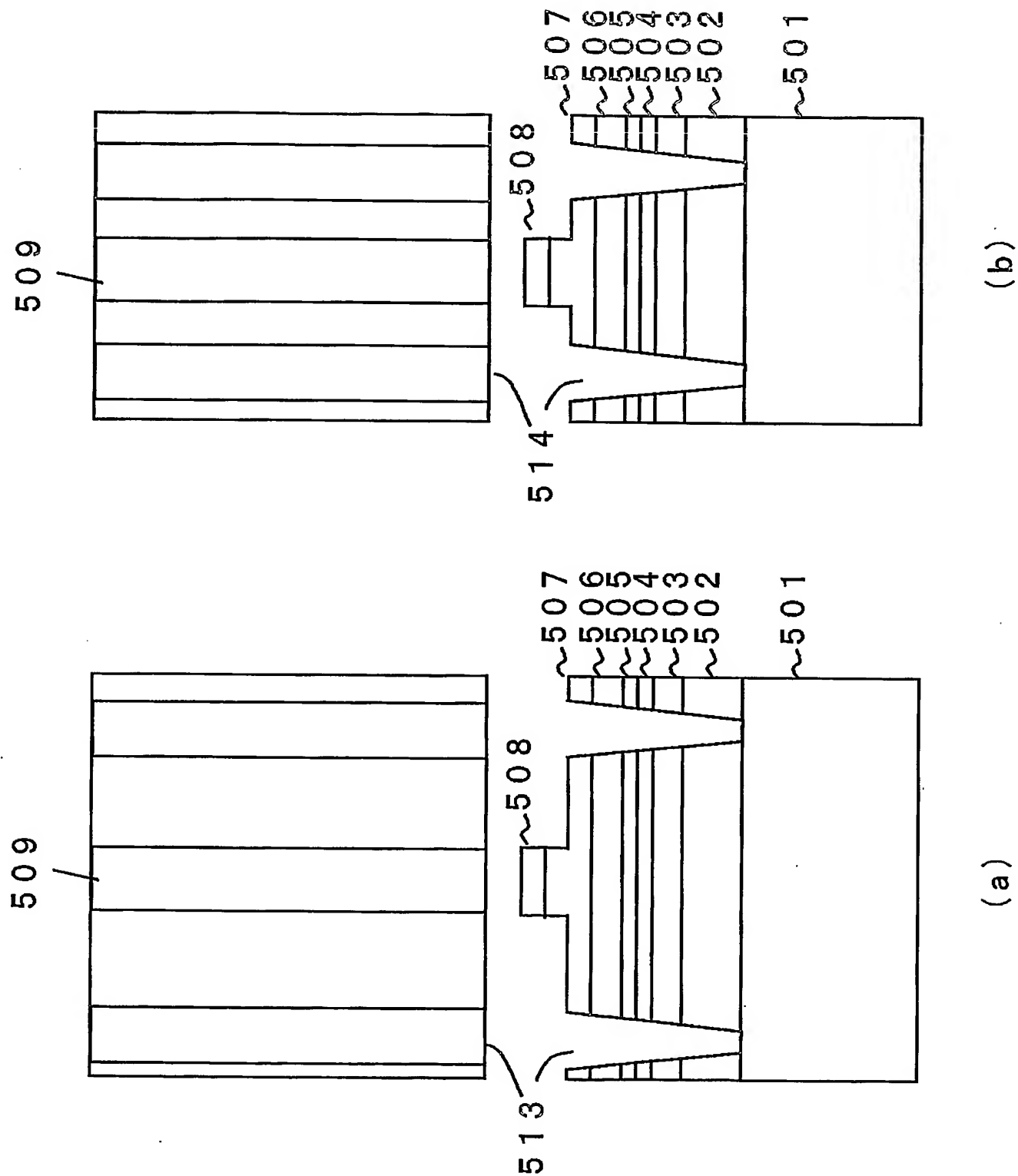


Fig.6

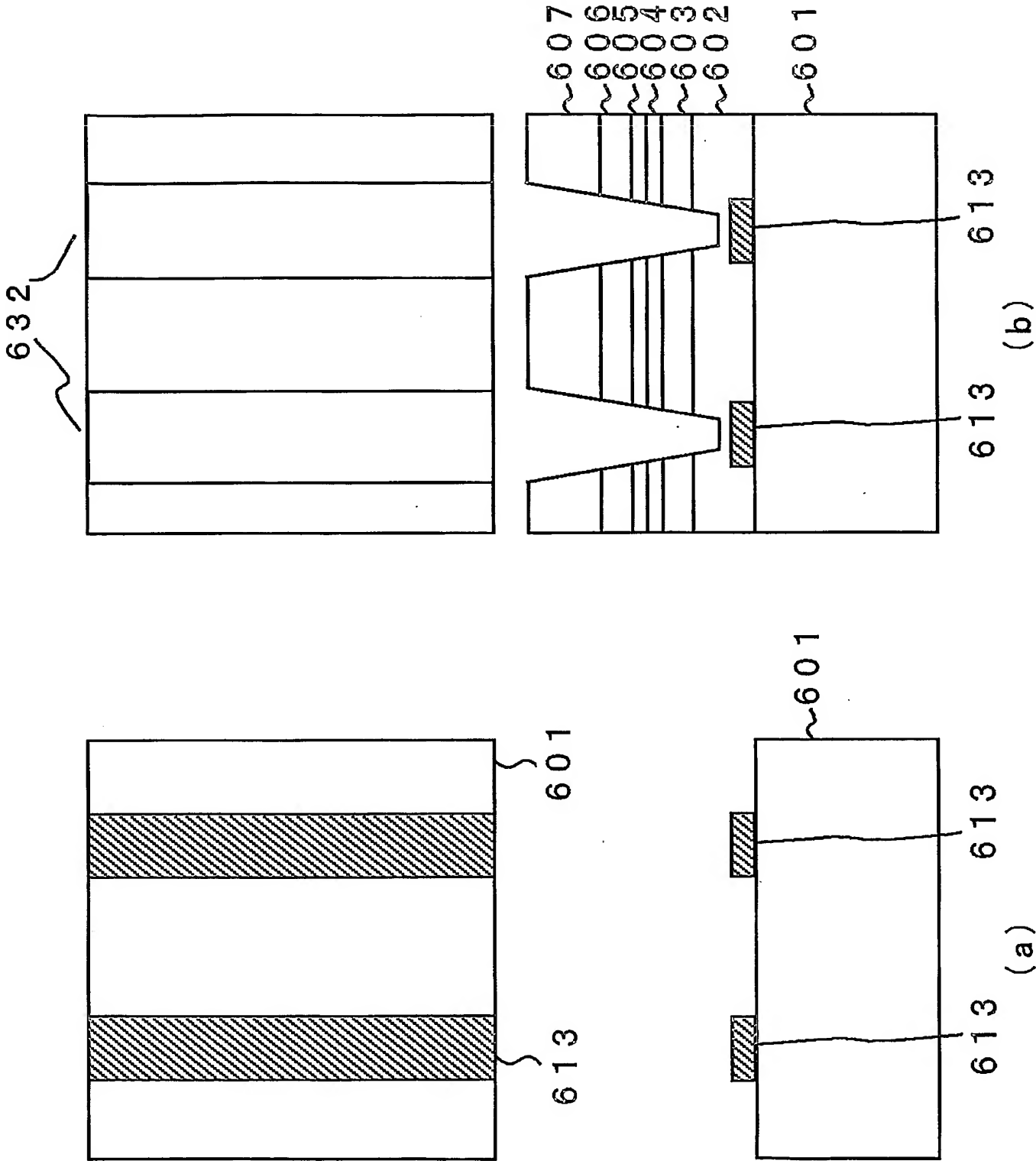


Fig.7

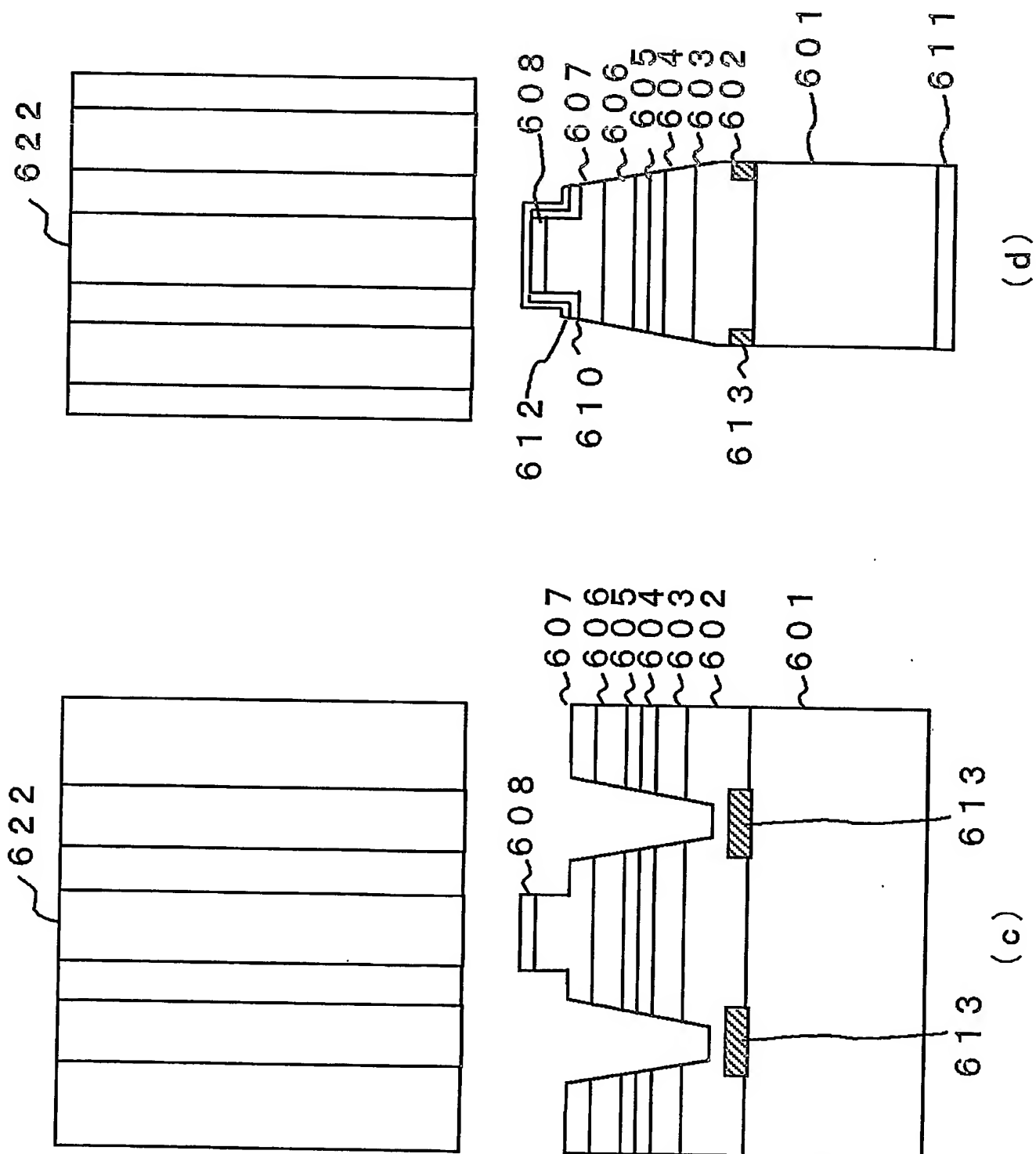


Fig.8

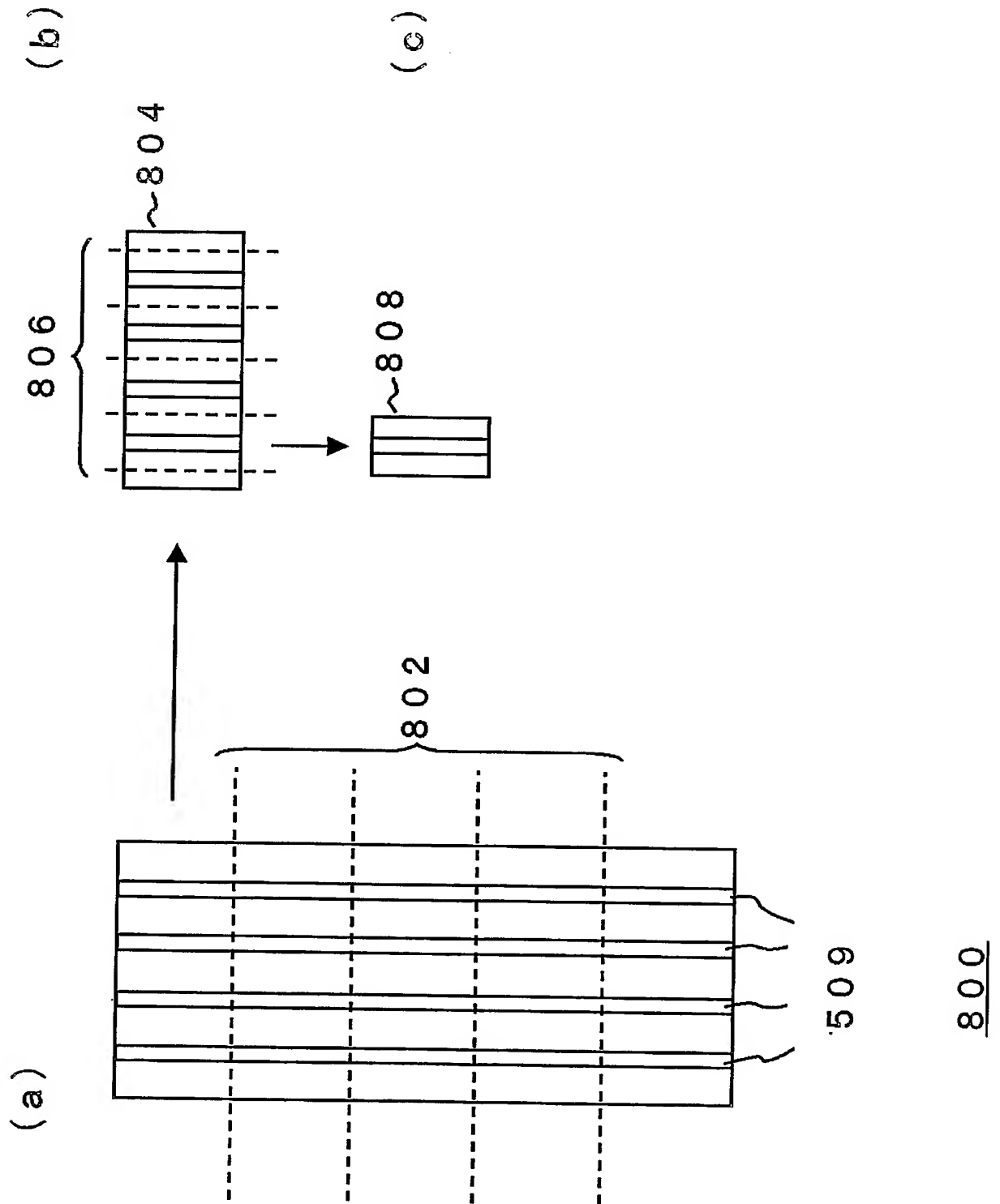


Fig.9

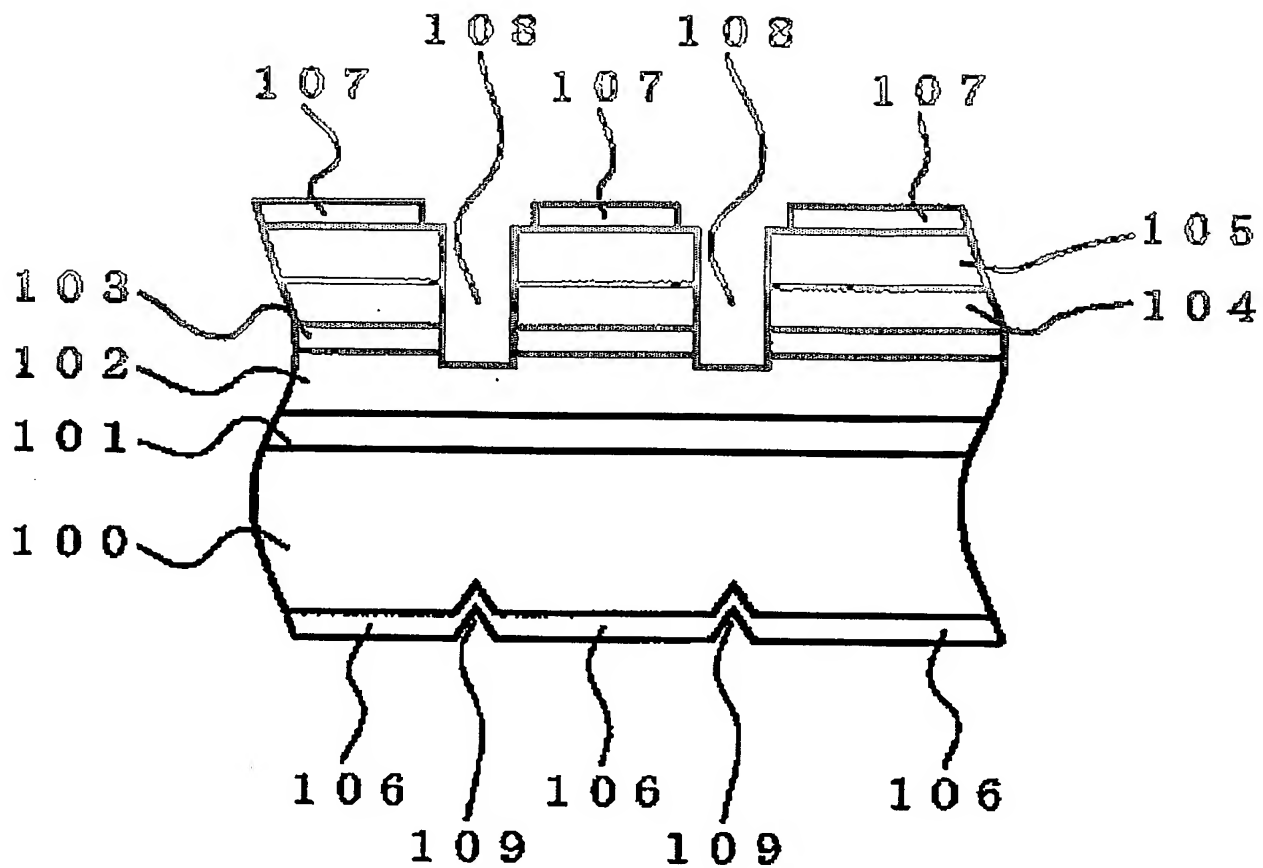


Fig.10

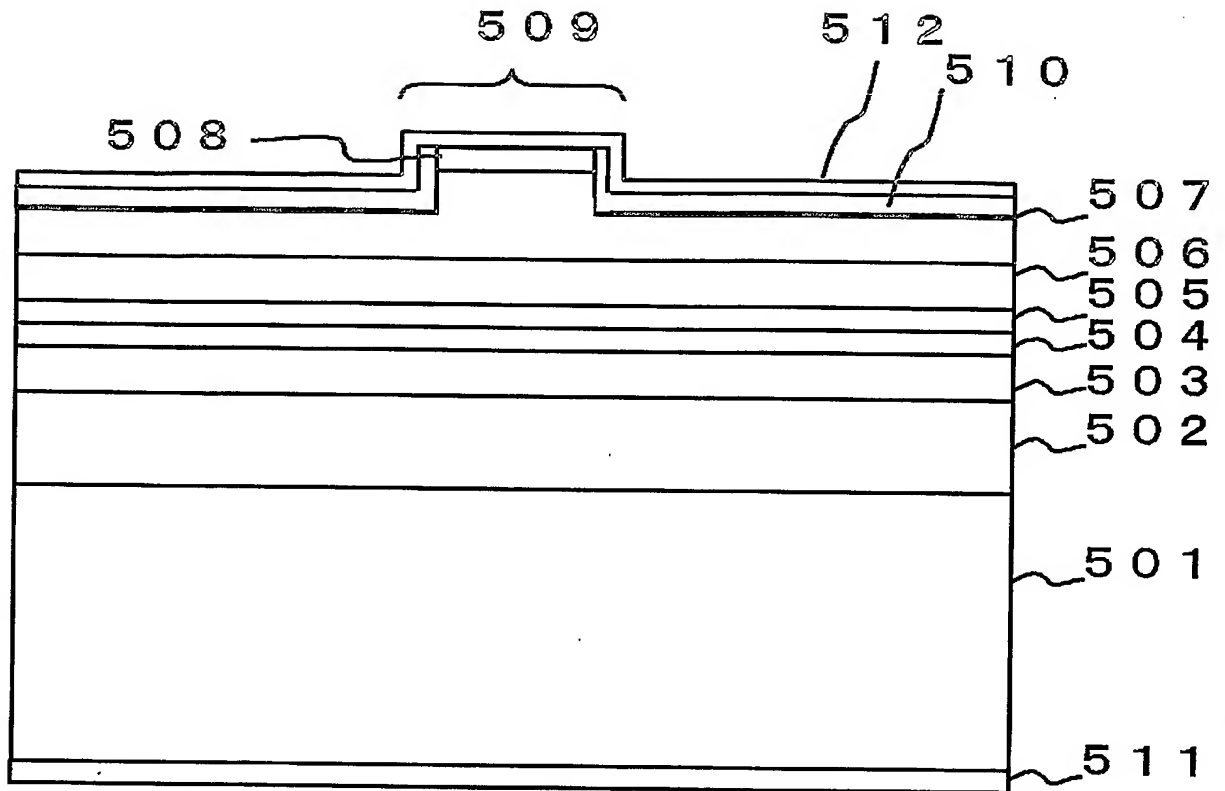
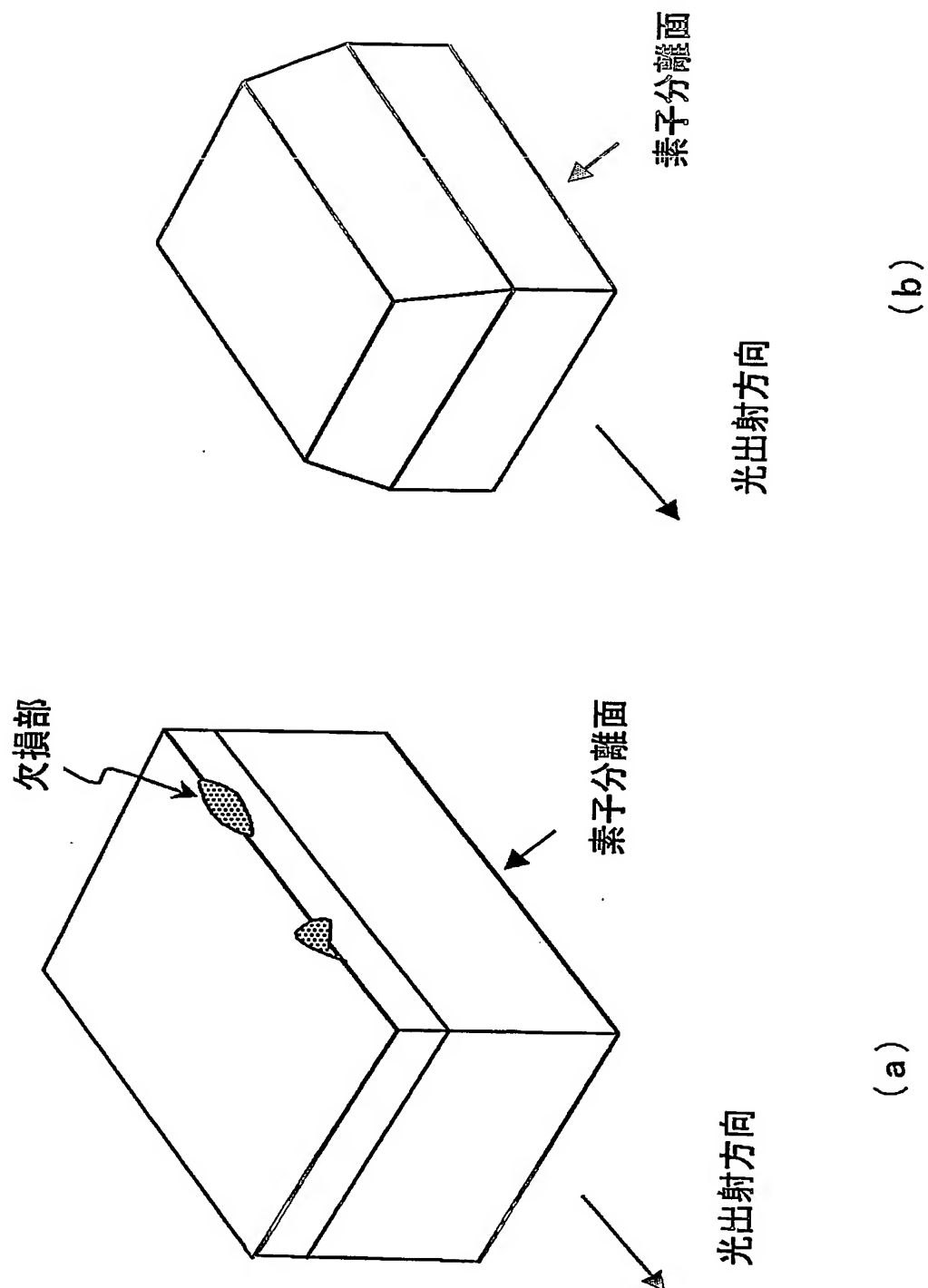


Fig.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002281

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01S5/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01S5/00-5/50Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-320120 A (NEC Corp.), 16 November, 2001 (16.11.01), Par. Nos. [0051] to [0056], [0062] to [0064]; Figs. 6, 8 (Family: none)	1-11 1-12
Y	JP 2001-176823 A (Sharp Corp.), 29 June, 2001 (29.06.01), Full text; all drawings (Family: none)	1-12
Y	JP 9-83081 A (Denso Corp.), 28 March, 1997 (28.03.97), Par. Nos. [0015] to [0023], [0033], [0036] to [0037]; Fig. 3 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
20 May, 2004 (20.05.04)Date of mailing of the international search report
08 June, 2004 (08.06.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002281

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-98212 A (Toyoda Gosei Co., Ltd.), 14 April, 1998 (14.04.98), Par. Nos. [0032] to [0037]; Figs. 6 to 7 & US 6033927 A	1-12
Y	JP 5-217904 A (NEC Kansai, Ltd.), 27 August, 1993 (27.08.93), Full text; all drawings (Family: none)	1-12
A	JP 11-74563 A (Matsushita Electric Industrial Co., Ltd.), 16 March, 1999 (16.03.99), Full text; all drawings & US 2002/0048302 A	1-12
A	JP 11-17275 A (NEC Corp.), 22 January, 1999 (22.01.99), Full text; all drawings (Family: none)	1-12
A	JP 7-230067 A (NEC Corp.), 29 August, 1995 (29.08.95), Full text; all drawings (Family: none)	1-12
P,X	JP 2003-258382 A (Sharp Corp.), 12 September, 2003 (12.09.03), Par. Nos. [0066], [0072], [0084] to [0087]; Fig. 15 & WO 03/075424 A	1,3,7-8,10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ H01S 5/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ H01S 5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-320120 A (日本電気株式会社), 2001. 11. 16, [0051]-[0056], [0062]-[0064], 図6, 8 (ファミリーなし)	1-11 1-12
Y	JP 2001-176823 A (シャープ株式会社), 2001. 06. 29, 全文, 全図 (ファミリーなし)	1-12
Y	JP 9-83081 A (株式会社デンソー), 1997. 03. 28, [0015]-[0023], [0033], [0036]-[0037], 図3 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20. 05. 2004

国際調査報告の発送日

08. 6. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
吉野 三寛

2K 9010

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-98212 A(豊田合成株式会社), 1998. 04. 14, [0032]-[0037], 図6-7 & US 6033927 A	1-12
Y	JP 5-217904 A(関西日本電気株式会社), 1993. 08. 27, 全文, 全図(ファミリーなし)	1-12
A	JP 11-74563 A(松下電器産業株式会社), 1999. 03. 16, 全文, 全図 & US 2002/0048302 A	1-12
A	JP 11-17275 A(日本電気株式会社), 1999. 01. 22, 全文, 全図(ファミリーなし)	1-12
A	JP 7-230067 A(日本電気株式会社), 1995. 08. 29, 全文, 全図(ファミリーなし)	1-12
PX	JP 2003-258382 A(シャープ株式会社), 2003. 09. 12, [0066], [0072], [0084]-[0087], 図15 & WO 03/075424 A	1, 3, 7-8, 10